

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-41485

(43)公開日 平成5年(1993)2月19日

(51)Int.Cl.⁵
H 01 L 27/06

識別記号 庁内整理番号
7342-4M

F I

技術表示箇所

H 01 L 27/06 102 Z

審査請求 未請求 請求項の数3(全4頁)

(21)出願番号 特願平3-195590

(22)出願日 平成3年(1991)8月6日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 山田 修

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

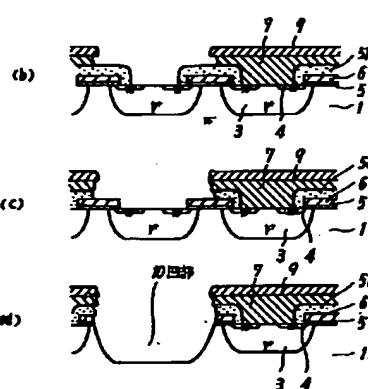
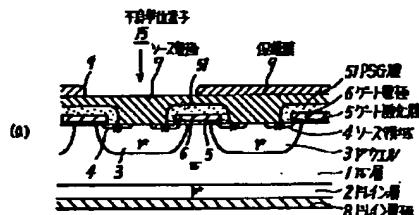
(74)代理人 弁理士 山口 嶽

(54)【発明の名称】 MOS型半導体素子の製造方法

(57)【要約】

【目的】1枚の半導体基板に集積された多数の単位MOS型半導体素子のうちに不良単位素子が生じた場合、その素子を切り離して完全に素子全体に影響を及ぼさないようにして信頼性を高める。

【構成】第一導電型の第一領域の表面層内に第二導電型の第二領域、さらにその表面層内に第一導電型の第三領域が形成され、第二領域の第一領域および第三領域にはさまれた部分の上にゲート絶縁膜を介してゲート電極が設けられ、第一第二、第三領域に共通にソース電極が接触してなる単位素子のうち、不良単位素子についてはソース電極ばかりでなく、ゲート電極、第三領域および第二領域もエッチング等で除去してしまう。



1

【特許請求の範囲】

【請求項1】第一導電型の第一領域の表面層内に第二導電型の第二領域が選択的に形成され、その第二領域のそれぞれの表面層内に選択的に第一導電型の第三領域が形成され、第二領域の第一領域および第三領域にはさまれた部分をチャネル形成領域としてその上にゲート絶縁膜を介してゲート電極が設けられ、第二領域および第三領域に共通にソース電極が接触する単位素子の複数個が1枚の半導体基板に形成され、各単位素子のソース電極に共通に電極体が圧接するMOS型半導体素子の製造方法において、各単位素子の電気的特性を測定後、特性規定値を満足しない不良単位素子のソース電極、ゲート電極、第三領域および第二領域を除去することを特徴とするMOS型半導体素子の製造方法。

【請求項2】不良単位素子以外の単位素子を保護膜で被覆したのち、ソース電極、ゲート電極、第三領域および第二領域をそれぞれに適応したエッティング液でエッティングして除去する請求項1記載のMOS型半導体素子の製造方法。

【請求項3】半導体基板の除去された部分に絶縁物を充填する請求項1あるいは2記載のMOS型半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、1枚の半導体基板に一面上にMOS構造および主電極を有する単位素子の複数個を集積し、それらの主電極に電極板を加圧接觸させることにより各単位素子を並列接続するMOS型半導体素子の製造方法に関する。

【0002】

【従来の技術】例えばMOS型電界効果トランジスタ(以下MOSFETと記す)あるいは絶縁ゲート型バイポーラトランジスタ(以下IGBTと記す)のようにゲート電極への入力信号により主電流を制御する半導体素子においては、大面積の主電極を流れる電流を制御することが困難であるため、大容量化する場合には、例えば特開昭63-278264号公報に記載されているように、容器内に数角の寸法の素子を並べ、それらのソース電極をAl線のボンディングなどで相互に接続することによりモジュール化して並列接続する方法がとられている。

【0003】しかし、このような方法では、容量を大きくするには素子の数を多くしなければならないが、素子の数が多くなるにつれてボンディングされる導線の配線が複雑になり、容器内での断線などが起こりやすくなる。さらに細かい導線では、大電流を流した時に熱による断線等も起こりやすい。

【0004】この問題を解決するために、1枚の半導体基板に多数の単位素子を集積することが考えられる。そして各素子の主電極に共通の電極体が圧接される加圧接觸構造にすれば、接続の信頼性が向上するばかりでな

2

く、接続導体のインダクタンス、抵抗が小さくなり、また基板を両面から冷却することができるので冷却効率を上げることができる。結果として半導体装置としての特性、信頼性の向上につながる。

【0005】一方、1枚の基板に多数の単位素子を形成する場合、すべての単位素子に欠陥がないとは限らず、不良の単位素子が存在する。このような不良単位素子について、そのソース電極をエッティング等により取り除くか、またはゲート電極と不良単位素子のソース電極を短絡させてゲート電圧がかからないようにした後ソース電極上に絶縁膜をかぶせる方法が従来はとられている。

【0006】

【発明が解決しようとする課題】しかし、不良単位素子のソース電極を取り除くか、あるいはゲート電極をソース電極と短絡させても、両主電極間に加わる電圧に急激な立ち上りがあった場合、すなわち dv/dt の大きい場合には誤点弧がおきることがある。あるいは、ソース電極に圧接する電極体がソース電極の除去された部分でゲート電極あるいは半導体基板に接触し、不良単位素子に制御できない電流が流れことがある。ソース電極を大幅に厚くすれば、電極体とゲート電極あるいは基板との接触を避けることができ、問題の一部は解決するが、これは製造プロセス上受け入れられない。

【0007】本発明の目的は、上述の問題を解決して単位素子のうちに不良素子が存在した場合にも信頼性の高いMOS型半導体素子を製造する方法を提供することにある。

【0008】

【課題を解決するための手段】上記の目的を達成するために、本発明は第一導電型の第一領域の表面層内に第二導電型の第二領域が選択的に形成され、その第二領域のそれぞれの表面層内に選択的に第一導電型の第三領域が形成され、第二領域の第一領域および第三領域にはさまれた部分をチャネル形成領域としてその上にゲート絶縁膜を介してゲート電極が設けられ、第二領域および第三領域に共通にソース電極が接触する単位素子の複数個が1枚の半導体基板に形成され、各単位素子のソース電極に共通に電極体が圧接するMOS型半導体素子の製造方法において、各単位素子の電気的特性を測定後、特性規定値を満足しない不良単位素子のソース電極、ゲート電極、第三領域および第二領域を除去するものとする。そして、不良単位素子以外の単位素子を保護膜で被覆したのち、ソース電極、ゲート電極、第三領域および第二領域をそれぞれに適応したエッティング液でエッティングして除去することが有効である。また、半導体基板の除去された部分に絶縁物を充填することも有効である。

【0009】

【作用】不良単位素子のソース電極、ゲート電極、第三領域(ソース領域)、第二領域が除去されることにより、

50 この単位素子が装置全体に悪影響をおよぼすことなく

なる。従って素子全体に印加される電圧の急激な変化、すなわち大きな dv/dt が発生する場合も、誤点弧のような異常現象が避けられる。また、電極体がゲート電極あるいは半導体基板に接触することもなくなるので、不良単位素子を通じて制御不能の電流が流れることもない。

【0010】

【実施例】図2はIGBT半導体基板全体を示す。直径4インチのシリコン基板11約100個の単位IGBT12が集積されている。各単位IGBT12のゲート電極はゲートリード13を介してゲート取り出し部14に接続される。このシリコン基板11を平型容器に収容し、各単位IGBT12のゲート電極と絶縁されたソース電極に1枚の金属電極板を加圧接触させ、並列に電流を取り出し、ゲート取り出し部14にはゲート端子を接続して制御信号を入力する。この基板11の各単位IGBT12ごとに電気的特性評価をすると、数%の不良単位素子が見出される。図では不良単位素子15を×印を付して示している。

【0011】図1(a)～(d)は本発明の一実施例の不良単位IGBT切り離し工程を示す。(a)では基板の厚さ全体に示しているが、(b)～(d)では裏面側の部分は省略してある。図(a)において、n⁻層(第一領域)1の一側にp⁺ドレイン層2が設けられ、他側の表面層内に選択的にp⁺ウエル(第二領域)3が、そのp⁺ウエル3の表面層内に選択的にn⁺ソース領域(第三領域)4がそれぞれ形成されている。p⁺ウエル3のn⁻層1とn⁺領域4にはさまれた部分がチャネル領域で、二つのチャネル領域にまたがってゲート酸化膜5を介して多結晶シリコンからなるゲート電極6が設けられ、ゲート電極6とPSG膜51で絶縁されたソース電極7がp⁺ウエル3およびn⁺ソース領域4に共通に接觸している。また、p⁺ドレイン層2にはドレイン電極8が接觸している。この構造は公知のIGBTの構造である。図の内、矢印で示した部分が不良単位IGBT15であるとする

と、その単位IGBT15以外の箇所の表面を保護膜9で覆う。この保護膜9は、ポジ型のフォトレジストをスピンコーダで塗布してのち、ステッパ露光機を用いて電気的特性評価時のデータを基に不良単位IGBT15部を露光し、さらに現像することにより形成したものである。

【0012】図(a)の状態で、基板表面をりん酸と硝酸の比が10:1のりん酸・硝酸系エッティング液でエッティングする。約60°Cの温度で数分で露出している10μm程度の厚さのソース電極7は図(b)のようになる。その基板をよく水洗し、次にHFとNH₃Fの混合液であるHFバッファ液でゲート電極6の上のPSG膜51をエッティングする。この状態を図(c)に示す。このようにシリコン基板が露出したところで硝酸、ふつ酸、酢酸を3:2:1の比で混合したエッティング液を用い、多結晶シリ

コンからなるゲート電極6と共に基板を約30μmの深さまでエッティングする。その結果、図(d)に示すような凹部10が生ずる。ゲート電極6の下には、酸化膜5が約0.6μmの厚さで存在するため、エッティングが他の領域にくらべて遅れるが、それは問題となるものではない。このようにしてソース電極7、ターンオン時に電子を供給するn⁺ソース領域4、チャネルを形成するゲート電極6等がなくなるため、この不良単位IGBT15は絶対に素子全体に悪影響を及ぼさなくなる。従って、素子全体に急激なdv/dtがかかったような場合にも誤点弧が避けられる。また、電極体が不良単位素子部の基板に圧接するおそれもない。しかし、絶縁を完全にするため、レジスト9を剥離後、ポリイミド樹脂などを塗布して基板の凹部10あるいはその一部を埋めておくことも有効である。

【0013】上記の実施例はIGBTの場合であるが、擬型MOSFETでも、また導電型を入れ換えたpチャネルMOS型半導体素子でも同様に実施できることは明らかである。

【0014】

【発明の効果】本発明によれば、1枚の半導体基板に多数の単位素子を集積し、各単位素子の電極に共通に電極体が圧接するMOS型半導体素子において、不良な単位素子のソース電極ばかりでなく、その下のゲート電極、ソース領域およびウエル領域をすべて除去することにより、動作時の誤点弧や電極体の基板との圧接による短絡などの可能性がなくなり、非常に信頼性の高いMOS型半導体素子が得られた。

【図面の簡単な説明】

30 【図1】本発明の一実施例のIGBT製造工程を(a)ないし(d)の順に示す断面図

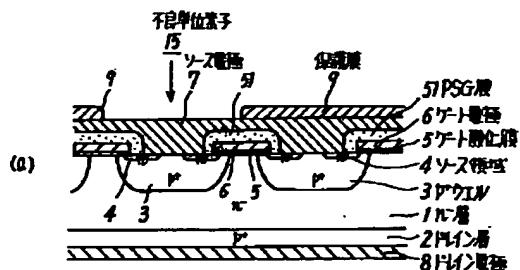
【図2】IGBTの半導体基板の一例の平面図

【符号の説明】

1	n ⁻ 層
2	p ⁺ ドレイン層
3	p ⁺ ウエル
4	n ⁺ ソース領域
5	ゲート酸化膜
5 1	PSG膜
6	ゲート電極
7	ソース電極
8	ドレイン電極
9	保護膜
10	凹部
11	シリコン基板
12	単位IGBT
15	不良単位素子

40

【図1】



【図2】

